

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-096009

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

G06F 13/36

(21)Application number : 04-244576

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 14.09.1992

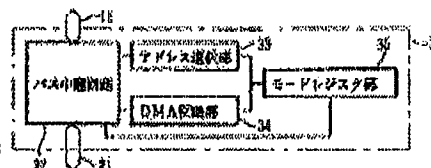
(72)Inventor : IMAMURA KENJI

(54) BUS REPEATING EQUIPMENT

(57)Abstract:

PURPOSE: To access to an input/output device without directly interposing a processor.

CONSTITUTION: A bus repeating circuit 32 which changes one bus cycle into the other bus cycle and a mode register 35 which switches its operation mode to a normal mode wherein bus repeating is performed or a peripheral device direct access mode wherein a peripheral equipment is directly accessed to are arranged between a system bus 11 to which the processor and a main storage device are connected and an extension bus 21 to which the peripheral equipment is connected. Further, the bus repeating equipment 31 is equipped with a DMA circuit part 34 which accesses to the main storage device while the operation mode is switched to the latter mode and an address selection part 33 which outputs address information on the peripheral equipment connected to the extension bus 21 on the basis of data from the main storage device which are obtained by the DMA circuit part 34. Then, the bus repeating equipment 31 is enabled to access to the input/output device by itself.



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-96009

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.

G 0 6 F 13/36

識別記号

3 1 0 E 9072-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2(全13頁)

(21)出願番号

特願平4-244576

(22)出願日

平成4年(1992)9月14日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72)発明者 今村 健二

埼玉県岩槻市府内3丁目7番1号 富士ゼ

ロックス株式会社岩槻事業所内

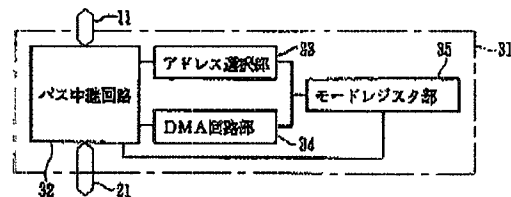
(74)代理人 弁理士 山内 梅雄

(54)【発明の名称】 バス中継装置

(57)【要約】

【目的】 プロセッサを直接介在させることなく入出力装置をアクセスすることを可能にする。

【構成】 プロセッサ12および主記憶装置14を接続したシステムバス11と周辺装置を接続した拡張バス21との間には、一方のバスサイクルを他方のバスサイクルに変更するバス中継回路32と、その動作モードをバス中継を行う通常モードと周辺装置を直接アクセスする周辺装置ダイレクトアクセスモードのいずれかに切り替えるモードレジスタ35と、後者のモードに切り替えられた状態で主記憶装置14をアクセスするDMA回路部34と、このDMA回路部34によって得られた主記憶装置14からのデータを基に拡張バス21に接続された周辺装置のアドレス情報を出力するアドレス選択部33とをバス中継装置に具備させ、バス中継装置31単独で入出力装置のアクセスを可能にしている。



(2)

特開平6-96009

1

2

【特許請求の範囲】

【請求項1】 プロセッサおよび記憶装置を接続した第1の共通バスと幾つかの周辺装置を接続した第2の共通バスとの間に配置され、一方のバスサイクルを他方のバスサイクルに変更するバス中継回路と、その動作モードをバス中継を行う通常モードと周辺装置を直接アクセスするための周辺装置ダイレクトアクセスモードのいずれかに切り替えるモード切替手段と、周辺装置ダイレクトアクセスモードに切り替えられた状態で前記記憶装置をアクセスするDMAと、このDMAによって得られた記憶装置のデータを基に第2の共通バスに接続された前記周辺装置のアドレス情報を出力するアドレス情報出力手段とを具備することを特徴とするバス中継装置。

【請求項2】 プロセッサおよび主記憶装置を接続した第1の共通バスと幾つかの周辺装置を接続した第2の共通バスとの間に配置され、一方のバスサイクルを他方のバスサイクルに変更するバス中継回路と、前記プロセッサからの特定のアクセスによって動作モードをバス中継を行う通常モードから周辺装置を直接アクセスするための周辺装置ダイレクトアクセスモードに切り替えるモード切替手段と、周辺装置ダイレクトアクセスモードに切り替えられた状態で前記主記憶装置をアクセスするDMAと、このDMAによって主記憶装置から読み出されたデータを基に第2の共通バスに接続された前記周辺装置のアドレス情報を出力するアドレス情報出力手段とを具備することを特徴とするバス中継装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、2つのバスを接続するバス中継装置に係わり、詳細にはDMA機能をもったバス中継装置に関する。

【0002】

【従来の技術】 2つのバスを中継するためのバス中継装置には、DMA（ダイレクトメモリアクセス）としての機能を持ち、プロセッサの介在なしに周辺装置に直接アクセスできるものも存在している。

【0003】 図10は、従来提案されたバス中継装置とこれを用いたデータ転送システムの一例を表わしたものである。システムバス11には、所定のプログラムを実行するためのプロセッサ12と、初期化プログラムコードや各種の設定情報等を保持している不揮発性記憶装置13と、プログラムコードやデータ等を記憶している主記憶装置14と、キーボードあるいはCRT等のようにデータの入力や出力を行うための第1の入出力装置15が接続されている。システムバス11は更にバス中継装置16によって拡張バス21と接続されている。拡張バス21には、第2～第Nの入出力装置15₂～15_Nが接続されている。

【0004】 なお、システムの構成によっては双方のバスが共にプロセッサを有するマルチプロセッサタイプのもも存在するが、ここでは説明を簡単にするためにシステムバス11から拡張バス12への一方のみのアクセスを行う場合に限定することにする。

【0005】 このようなデータ転送システムで、拡張バス21の初期化やシステム全体の診断を行うような場合、プロセッサ12はシステムバス11上のリードサイクルを用いて不揮発性記憶装置13内あるいは主記憶装置14内に格納されているプログラムコードをフェッチしていた。このフェッチしたプログラムコードはデコードされ、更にシステムバスサイクルを使用してプログラムの実行が行われた。

【0006】 このようなシステムでは、プロセッサ12のアクセスが拡張バス21に接続された第2～第Nの入出力装置15₂～15_Nのいずれかに対するものであるときは、バス中継装置16がバスマスタとなって、拡張バス21へのバスサイクルを起動する必要があった。

【0007】 図11は、この従来のデータ転送システムにおけるシステムバスあるいは拡張バスに接続された装置に対するアクセスタイミングを表わしたものである。まず同図（イ）に示すようにプロセッサ12は時刻t₁からシステムバス11に対してバスを要求し、これを獲得するとバスマスタとなる（図で“CPU”として示す。）。バスマスタとなった時点で、プロセッサ12は同図（ロ）に示したようにアドレスストロブ信号（AS）を出力して、アドレスをシステムバス11に送出する（同図（ハ）の“ADR”）。

【0008】 システムバス11上に接続されている不揮発性記憶装置13、主記憶装置14、第1の入出力装置15₁等がアクセスの対象となっている場合には、これらのスレーブ装置はストロブされたアドレスによって自身がアクセスされたことを判別し、データ（同図（ハ）の“DATA”）の書き込みを行う場合には、書き込みが終了した時点でアクノリッジ（ACK）信号（同図（ハ））を返送する。データの読み出しを行う場合には、要求されているデータをシステムバス12上に出してアクノリッジ信号を返送することになる。プロセッサ12はアクノリッジ信号を受信すると、時刻t₂にシステムバス11を開放し（同図（イ））、バスサイクルを終了させる。

【0009】 次に、拡張バス21に接続された入出力装置15₂～15_Nに対するアクセスについて説明する。この図11では、前半でプロセッサ12が主記憶装置14に対するリードサイクルを行っている。すなわち、プロセッサは命令をフェッチ（FETCH）し、解釈（DEC）する。この後の後半のサイクルで、プロセッサ12は命令を実行する（EXECUTE）ことで、バス中継装置16に対するライトサイクルを行っている。前半のサイクルと後半のサイクルとの間には、前記した命令をデコードす

50

(3)

特開平6-96009

3

るサイクルと、プロセッサ12がシステムバス12を再度獲得するためのサイクルとが含まれている。このため、実際には図11で示したよりも2つのサイクルの間の時間間隔は長くなっている。

【0010】さて、後半のサイクルでプロセッサ12が拡張バス21に対するアクセスを行うと、バス中継装置16は同図(ロ)の2番目のアドレスストローブ信号でストローブされたアドレスを自身に対するものと認識する。そして、拡張バス21に対してバスを要求し、バスを獲得すると同図(ホ)に示すようにバス中継装置16がバスマスクとなる(図で“BB”として示す。)。そして、アドレスを変換した後同図(ヘ)に示したようにアドレスストローブ信号(AS)を出力して、アドレスを拡張バス21に送出する(同図(チ)の“ADR”)。

【0011】第2～第Nの入出力装置15₂～15_Nのうち、このアドレスによって指定された入出力装置15は、データ(同図(チ)の“DATA”)の書き込みを行う場合にはその書き込みが終了した時点でアクノリッジ信号(同図(ト))を返送する。データの読み出しを行う場合には、要求されているデータを拡張バス21上に出してアクノリッジ信号を返送することになる。

【0012】

【発明が解決しようとする課題】このような従来提案されたデータ転送システムでは、拡張バス21へのアクセスをシステムバス11に接続されたプロセッサ12の制御によって行っている。このため、すべてのサイクルがバス中継装置16を介するためのオーバーヘッドを含んでおり、この分だけ多くの時間を必要とするという欠点があった。また、従来のデータ転送システムでは、拡張バス21上の入出力装置15をシステムバス11に接続されたプロセッサ12から制御することになるので、これら入出力装置15を独立して制御することが困難であった。

【0013】そこで本発明の目的は、プロセッサを直接介在させることなく入出力装置をアクセスすることのできるバス中継装置を提供することにある。

【0014】

【課題を解決するための手段】請求項1記載の発明では、プロセッサおよび主記憶装置等の記憶装置を接続した第1の共通バスと幾つかの周辺装置を接続した第2の共通バスとの間に配置され、一方のバスサイクルを他方のバスサイクルに変更するバス中継回路と、その動作モードをバス中継を行う通常モードと周辺装置を直接アクセスするための周辺装置ダイレクトアクセスモードのいずれかに切り替えるモード切替手段と、周辺装置ダイレクトアクセスモードに切り替えられた状態で記憶装置をアクセスするDMAと、このDMAによって得られた記憶装置のデータを基に第2の共通バスに接続された周辺装置のアドレス情報を出力するアドレス情報出力手段と

4

をバス中継装置に具備させる。

【0015】すなわち請求項1記載の発明では、モード切替手段によってこのバス中継装置を通常のバス中継回路としての機能を実行する通常モードと、周辺装置を直接アクセスするための周辺装置ダイレクトアクセスモードに切り替えができるようにしている。そして、周辺装置ダイレクトアクセスモードに設定された状態では、DMAが記憶装置をアクセスして周辺装置のアドレスに関するデータを読み取り、アドレス情報出力手段によって第2の共通バスのアドレス情報として出力できるようにしている。これにより、バス中継装置自体が個々の周辺装置をアクセスできるようになる。

【0016】請求項2記載の発明では、プロセッサおよび主記憶装置を接続した第1の共通バスと幾つかの周辺装置を接続した第2の共通バスとの間に配置され、一方のバスサイクルを他方のバスサイクルに変更するバス中継回路と、プロセッサからの特定のアクセスによって動作モードをバス中継を行う通常モードから周辺装置を直接アクセスするための周辺装置ダイレクトアクセスモードに切り替えるモード切替手段と、周辺装置ダイレクトアクセスモードに切り替えられた状態で主記憶装置をアクセスするDMAと、このDMAによって主記憶装置から読み出されたデータを基に第2の共通バスに接続された周辺装置のアドレス情報を出力するアドレス情報出力手段とをバス中継装置に具備させる。

【0017】すなわち請求項2記載の発明では、モード切替手段によってこのバス中継装置を通常のバス中継回路としての機能を実行する通常モードと、周辺装置を直接アクセスするための周辺装置ダイレクトアクセスモードに切り替えができるようにしている。そして、プロセッサからの特定のアクセスによって動作モードをバス中継を行う通常モードから周辺装置を直接アクセスするための周辺装置ダイレクトアクセスモードに切替可能にしておき、周辺装置ダイレクトアクセスモードに設定された状態では、DMAが主記憶装置をアクセスして周辺装置のアドレスに関するデータを読み取り、アドレス情報出力手段によって第2の共通バスのアドレス情報として出力できるようにしている。これにより、プロセッサがバス中継装置を周辺装置ダイレクトアクセスモードに設定すれば、バス中継装置自体がプロセッサの介在なしに個々の周辺装置をアクセスできるようになる。

【0018】

【実施例】以下実施例につき本発明を詳細に説明する。

【0019】バス中継装置の概要

【0020】図2は、本発明の一実施例におけるバス中継装置を使用したデータ転送システムの構成を概略したものである。図10と同一部分には同一の符号を付しており、これらの説明を適宜省略する。この図に示したように本実施例ではバス中継装置31が従来のそれと本質的に異なるだけであり、他は従来と同一のものを使用す

(4)

特開平6-96009

5

5

ることができる。

【0021】図1は、本発明の一実施例におけるバス中継装置の原理的な構成を表わしたものである。バス中継装置31はバス中継回路32を備えている。バス中継回路32は、システムバス11と拡張バス21を接続しており、一方から他方へのバスサイクルの変更を行うようになっている。この点については、従来のバス中継装置も同様である。バス中継回路32にはアドレス選択部33とDMA回路部34が接続されており、これらはモードレジスタ部35が特別なモードとしての周辺装置ダイレクトアクセスモードに設定された状態で動作するようになっている。すなわちDMA回路部34はこの状態でシステムバス11を通じて出力記憶装置14（図10参照）をアクセスしてデータを読み取り、アドレス選択部33はこの読み取ったデータをアドレス情報として拡張バス21に送出して、これに接続された入出力装置（周辺装置）15（図10参照）から該当のものをアクセスできるようにしている。

【0022】モードレジスタ部35は、バス中継装置31の内部レジスタとして構成されているもので、前記したように特別のモードとしての周辺装置ダイレクトアクセスモードと本来のノーマルモードとの2つのモードを選択的に選択するようになっている。ここでノーマルモードとは、一方のバスサイクルから他方のバスサイクルに変換する本来的な動作をいう。これらのモード切り替えは、図2に示したプロセッサ12がモードレジスタ部35の特定のビットの値を変化させることによって実現することになる。

【0023】バス中継装置の具体的な構成

【0024】図3は、本実施例のバス中継装置の具体的な回路構成を表わしたものである。バス中継装置31は、システムバスアドレス・データ線11aと、システムバス制御線11c、ならびに拡張バスアドレス・データ線21aと、拡張バス制御線21cを接続している。このうち、システムバスアドレス・データ線11aは、システムバス11に対してアドレス情報やデータの送受を行う際のバッファメモリとしての第1のアドレスバッファ41および第1のデータバッファ42に接続されている。また、拡張バスアドレス・データ線21aは、拡張バス21に対してアドレス情報やデータの送受を行う際のバッファメモリとしての第2のアドレスバッファ43および第2のデータバッファ44に接続されている。

【0025】システムバス制御線11cは、第1のストローブバッファ46とアービタ47に接続されており、拡張バス制御線21は第2のストローブバッファ48とアービタ47に接続されている。アービタ（arbiter）は、バス命令および制御信号の発生を行い、バスの接続されている部品のどれにバスの使用権を与えるかを定める装置である。第1のアドレスバッファ41と第1のデータバッファ42はアドレス割替回路（MUX）51に

接続されており、その出力側が拡張バス21用のアドレス変換を行うための入出力装置（I/O）MMU52を介して第2のアドレスバッファ43に接続されている。以上の各回路41～48、51、52とバスサイクルの管理を行うバスサイクルシーケンサ53（以上を点線54で囲んでいる。）とが、図1で示したバス中継回路32に主として対応する回路部分である。

【0026】これに対して、バス中継装置31内におけるモードレジスタ55が図1におけるモードレジスタ部35に、DMA回路56が図1におけるDMA回路部34にそれぞれ対応するようになっている。このバス中継装置31についての具体的な説明を行う前に、ダイレクトメモリアccessを行う際の主記憶装置14（図2）内におけるデータのフォーマットについて説明する。

【0027】図4は、ダイレクトメモリアccessを実現するための主記憶装置におけるデータフォーマットを表わしたものである。データフォーマットは、主記憶装置14内の任意の位置に配置されたポインタ61で示される物理アドレスから開始するようになっており、交互にアドレス情報62とデータ情報63が繰り返されたものとなっている。この繰り返しの数は、モードレジスタ55にセットされているサイズと一致している。

【0028】ここでアドレス情報62は、拡張バス21に接続された入出力装置のシステムバス11上でのアドレス（ADDRESS）と、転送のタイプ（TYPE）および転送のサイズ（SIZE）のデータからなっている。ここでアドレスのビット幅は、拡張バス21を転送される際のビット幅と一致する幅となっている。例えばシステムバスのアドレス・データ線11a（図3）のビット幅W_{SB}が64ビットであり、拡張バス21におけるアドレスのビット幅が32ビットであった場合には、アドレス情報62を構成するアドレス（ADDRESS）は32ビットで構成される。

【0029】データ情報63は、拡張バス21に接続された入出力装置に書き込まれるデータからなっている。主記憶装置14内の任意の空間にすでにデータがセットされていて、しかもモードレジスタ55にその空間の物理アドレスとデータのサイズがセットされていると、プロセッサ12は周辺装置ダイレクトアクセスモードへの変更を、バス中継装置31のモードレジスタ55に所定のビット（以下DIOA（ダイレクト・I/O・アクセスモード）ビットという。）をセットすることによって達成することができる。

【0030】図3に戻ってバス中継装置の動作を説明する。システムバスアドレス・データ線11aを通じて第1のデータバッファ42に受信されたデータに基づいてモードレジスタ55にDIOAビットがセットされて周辺装置ダイレクトアクセスモードに設定されると、バス中継装置31は自身のアービタ47によってシステムバス11のバスマスタの権利を得る。これと同時に、バ

50

(5)

特開平6-96009

7

ス中継装置31はモードレジスタ55に保持されている周辺装置ダイレクトアクセスのデータに対する主記憶装置14の物理アドレスをアドレス切替回路51に出力する。アドレス切替回路51は、この物理アドレスを出力装置MMU52にそのまま出力する。入出力装置MMU52はこの物理アドレスを第1のアドレスバッファ41にそのまま出力する。

【0031】バス中継装置31がシステムバス11を獲得すると、第1のアドレスバッファ41はこのアドレスをシステムバス11上に出力し、同時に第1のストローブバッファ46からはバスマスタとして必要なアドレスストローブ信号(AS信号)等の制御信号をシステムバス制御線11c上に出力する。これらのタイミングは、バスサイクルシーケンサ53およびDMA回路56によってコントロールされる。ただし、この際のタイミング自体は通常のアクセスサイクルの場合と同一である。

【0032】このようにして主記憶装置14に対するアクセスが行われると、バス中継装置31に対して主記憶装置14からその応答としてアクノリッジ(ACK)信号が出力される。バス中継装置31はこのアクノリッジ信号を第1のストローブバッファ46を介して受け取る。そして、システムバス11上のデータを第1のデータバッファ42でラッチした後、モードレジスタ55からのアドレス切替選択信号に基づいて、このラッチしたデータを拡張バス21用のアドレスとして使用するためこれを入出力装置MMU52に入力して、拡張バス21用のアドレスに変換させる。

【0033】このアドレス変換が終了するまでに、バス中継装置31は拡張バス21のバスの権利を獲得しておく。そして、システムバス11上の次のデータがアクノリッジ信号によって入力されたとき、拡張バス21に接続された入出力装置に対するサイクルを開始させる。また、拡張バス21に対するこれらのタイミングは、バスサイクルシーケンサ53およびDMA回路56によって同様にコントロールされる。この際のタイミング自体は通常のアクセスサイクルの場合と同一である。

【0034】バス中継装置31は、これらのサイクルを、モードレジスタ55にセットされるサイズ分だけ繰り返して実行する。これらの実行が終了したら、モードレジスタ55の前記したビットをクリアし、ノーマルモードに復帰させる。

【0035】図5は、拡張バスに対するアクセスタイミングを表わしたものであり、図11に対応している。システムバス11に対してバス中継装置31がバスマスタとなると(同図で“BB”として示す。)、第1のストローブバッファ46はアドレスストローブ信号(AS信号)をシステムバス制御線11c上に出力する。同図

(二)はシステムバス11上でのアドレス情報とデータ情報の切り替えの様子を表わしたものであり、このときにシステムバス11上に主記憶装置14に対するアドレ

8

ス(ADR)が送出されることになる。

【0036】同図(ハ)に示したように主記憶装置14は所定のタイミングでアクノリッジ信号を返送する。このとき同図(ニ)に示したように主記憶装置14から第1番目のデータ情報DATA①がシステムバス11上に出力される。この後も、モードレジスタ55にセットされたサイズ分だけのデータが、アクノリッジ信号に応じてシステムバス11上に順次送り出されることになる。この図では第1番目のデータ情報DATA①の次に、第2番目のデータ情報DATA②が送り出されている。

【0037】同図(ホ)～(チ)は、バス中継装置31が拡張バス21を獲得した後の状態を説明するためのものである。同図(ホ)で、バス中継装置31は拡張バス21に対してマスタとなり(同図で“BB”として示す。)、第2のストローブバッファ48は同図(ヘ)に示したようにアドレスストローブ信号を拡張バス制御線21cに出力する。このときに、図5(チ)で示したようにアドレスが拡張バス21に送出されることになる。このアドレスは、すでに説明したように第1のデータバッファ42から得られたデータ情報DATA①を入出力装置MMU52で変換したものである。拡張バス21に接続された該当する入出力装置から、これに対してアクノリッジ信号が返送されてきたら(同図(ト))、このとき拡張バス21に出力されたデータ情報DATA①(同図(チ))がデータとして受け取られる。

【0038】バスサイクルシーケンサの構成

【0039】次に、バス中継装置31の中核として機能するバスサイクルシーケンサの具体的な構成を説明する。

【0040】図6はバスサイクルシーケンサとその周辺回路を表わしたものである。バスサイクルシーケンサ31は第1および第2のマスタ71₁、71₂と、第1および第2のスレーブ72₁、72₂によって構成されている。これらは、入力の値で自身の状態を変化させるいわゆるシーケンサであり、それぞれ独立した動作を行っている。

【0041】ここで第1のスレーブ72₁は、システムバス11(図1参照)で受け付けたサイクルが拡張バス21(図1参照)に対するものであった場合には、第2のマスタ71₂に対して開始信号73を送出する。開始信号73を受け取った第2のマスタ71₂は拡張バス21でサイクルを開始させ、これが終了すると終了信号74を第1のスレーブ72₁に送出する。第2のマスタ71₂は、これ以外にもDMA回路56から出力される開始信号75によっても起動される。この場合、第2のマスタ71₂はDMA回路56に対して終了信号76を送出することになる。

【0042】第2のスレーブ72₂は、第1のマスタ71₁に対して同様に開始信号77を送出し、第1のマスタ71₁はサイクルの終了によって第2のスレーブ72

50

(6)

特開平6-96009

9

10

2 に対して終了信号78を送出するようになっている。

【0043】ところで、各バス11、21のアービトレーション (arbitration ; 調停) は、図3に示したアービタ47で行われる。アービタ47は図6で示したように互いに独立した機能をもった第1および第2のアービタ47₁、47₂ からなっている。第1のアービタ47₁ にアクセスできるマスタは、このバス中継装置31内でDMA回路56と第1のマスタ71₁ のみである。第2のアービタ47₂ は第2のマスタ71₂ のみがリクエストすることができる。これらのアービタ47₁、47₂ は、リクエスト信号79₁ ~ 79₃ を受け取り、現在そのサイクルを受け付けることが可能であれば、対応するグラント信号81₁ ~ 81₃ を返送して、DMA回路56あるいは第1または第2のマスタ71₁、71₂ に対してバスの使用を許可することになる。

【0044】このようなバスサイクルシーケンサ31について、ノーマルモード時の動作をまず説明する。システムバス11に接続されたプロセッサ12がバス中継装置16に対してライト (write) アクセスを行う場合、プロセッサ12はアドレスストローブ信号と共にアドレスを最初に出力する。

【0045】図7は、これに関連するバスシーケンサの制御動作の流れを表わしたものである。第1のスレーブ72₁ は第1のストローブバッファ46 (図3) からアドレスストローブ信号 (AS信号) が到来するのを監視しており (ステップS101)、アドレスストローブ信号を受け取ると (Y)、そのアドレスを第1のアドレスバッファ41にラッチする (ステップS102)。そして、そのアドレスが出力装置MMU52でデコードされると (ステップS103; Y)、ラッチしたアドレスのライト信号がセットされているかどうかをチェックする (ステップS104)。

【0046】ライト信号がセットされていた場合には (Y)、ライトサイクルであると見なして、データを第1のデータバッファ42 (図3) にラッチし、第1のストローブバッファ46からアクノリッジ信号を出力する (ステップS105)。そして、第2のマスタ71₂ に対してサイクルを起動するための開始信号73を発行する。その後は、第2のマスタ71₂ からサイクルが終了した旨の終了信号74を受け取るまでウェイトループに

【0047】一方、ステップS104でライト信号がセットされていなかった場合には (N)、第2のマスタ71₂ による拡張バス21に対するサイクルがスタートする (ステップS107)。そして、拡張バス21に接続された入出力装置から送られてきたアクノリッジ信号が第2のスレーブ72₂ によって認識されたら (ステップS108; Y)、第1のデータバッファ42からデータを出力すると共に、第1のストローブバッファ46からアクノリッジ信号を出力する (ステップS109)。

【0048】図8にバスシーケンサによる制御の他の流れを示す。第2のマスタ71₂ はサイクルについての開始信号73を受け取ると (ステップS201; Y)、第2のアービタ47₂ に対してリクエスト信号79₃ を出力して拡張バス21を要求する (ステップS202)。第2のアービタ47₂ がこれに対応してバス許可を意味するグラント信号81₃ を出力すると (ステップS203)、第2のマスタ71₂ は拡張バス21に対してサイクルを開始する。すなわち第2のマスタ71₂ は最初に第2のストローブバッファ48からアドレスストローブ信号を出力し、同時に第2のアドレスバッファ43からアドレスを出力する (ステップS204)。

【0049】次に、ラッチしたアドレスのライト信号を見て、ライト信号がセットされている場合には (ステップS205; Y)、ライトサイクルと見なす。そして、第2のデータバッファ44からデータを出力する (ステップS206)。この後、第2のストローブバッファ48から送られてくるアクノリッジ信号を待機し、これを認識したら (ステップS207; Y)、サイクルの終了信号74を第1のスレーブ72₁ に送る (ステップS208)。

【0050】続いて周辺装置ダイレクトアクセスモードについて説明する。周辺装置ダイレクトアクセスモードでは、プロセッサ12が介在せず、バス中継装置31がマスタとなる。この際には、システムバス11に対するマスタとしての役割は、バス中継装置31内ではDMA回路56がすべて行う。

【0051】これに対して、ステップS205でライト信号がセットされていなかった場合には (N)、第2のストローブバッファ48でアクノリッジ信号の到来を監視し (ステップS209)、これが到来した時点で第2のデータバッファ44にデータをラッチする (ステップS210)。そして、アドレスストローブ信号の出力を停止させることになる (ステップS211)。

【0052】図9は、DMA回路の動作の様子を表わしたものである。DMA回路56はモードレジスタ55 (図5) に前記したDIOAビットがセットされるのを検出し、セットされたら (ステップS301; Y)、リクエスト信号79₁ によってシステムバス11をリクエストする (ステップS302)。第1のアービタ47₁ がこれに対してグラント信号81₁ を返してバスの使用を許可すると (ステップS303)、システムバス11に対するリードサイクルが起動される。ここでは、まず第1のストローブバッファ46 (図3) からアドレスストローブ信号 (AS信号) が出力され、同時に第1のアドレスバッファ41からモードレジスタ55に保持されているアドレスが出力される (ステップS304)。

【0053】この状態で第1のストローブバッファ46から最初のアクノリッジ信号を受け取ると (ステップS305; Y)、第1のデータバッファ42がこのデータ

(7)

特開平6-96009

11

12

をラッチする(ステップS306)。アドレス切替回路51がこの時点で切り替えられ、第1のデータバッファ42のラッチしているデータが入出力装置MMU52に入力されるようになる(ステップS307)。これにより、このデータは拡張バス21をアクセスするためのアドレスに変換される。この状態で、第2のマス712にサイクルを開始させるための開始信号75が送出される(ステップS308)。

【0054】この後、第1のストローブバッファ46から2番目のアクノリッジ信号が受け取られると(ステップS309)、第1のデータバッファ42はこれをラッチする。この後は、第2のマス712からサイクルの終了を示す終了信号74を受け取るまで待機ループに入る(ステップS311)。この後の第2のマス712の動作はすでに説明したものと同様である。

【0055】

【発明の効果】このように請求項1記載の発明によれば、バス中継装置内にDMAを配設し、モード切替手段が周辺装置ダイレクトアクセスモードに設定されている状態でDMAが主記憶装置や不揮発性記憶装置等の記憶装置をアクセスして周辺装置のアドレスに関するデータを読み取り、アドレス情報出力手段によって第2の共通バスのアドレス情報として出力できるようにした。これにより、バス中継装置自体が個々の周辺装置を直接アクセスすることができ、プロセッサの負担を軽減させることができるばかりでなく、バスサイクルのオーバーヘッドをほとんど無視することができる。またバス中継装置はプロセッサの配設された側のバスとアクセス対象となる周辺装置側のバスとを独立して制御することができるので、周辺装置側のバスに異常が生じた場合のエラー回復処理や特定のバスのみに対するリセット操作が可能になり、この意味でもプロセッサの負担を軽減させることができる。このため、システムバスの単なる拡張バスとしての制御を行っていたようなバス中継装置についても、格段に上位の機能を持たせることができ、その実用上の効果が大きい。

【0056】また、請求項2記載の発明によれば、請求項1記載の発明と同様の効果を得ることができる他、プロセッサによるバス中継装置のモード管理が可能になり、バス中継装置のより効果的な活用が可能になる。

【図面の簡単な説明】

【図1】 本発明の一実施例におけるバス中継装置の原理的な構成を表わした原理図である。

【図2】 この実施例におけるバス中継装置を使用したデータ転送システムの構成を表わしたシステム構成図である。

【図3】 本実施例のバス中継装置の具体的な回路構成を表わしたブロック図である。

【図4】 本実施例の主記憶装置におけるデータフォーマットを表わした説明図である。

【図5】 本実施例の拡張バスに対するアクセスタイミングを表わしたタイミング図である。

【図6】 本実施例でバスサイクルシーケンサとその周辺回路を表わしたブロック図である。

【図7】 本実施例でバスシーケンサの制御動作の流れを表わした流れ図である。

【図8】 本実施例でバスシーケンサの制御動作の流れを表わした流れ図である。

【図9】 本実施例でDMA回路の動作の様子を表わした流れ図である。

【図10】 従来提案されたバス中継装置とこれを用いたデータ転送システムの一例を表わしたシステム構成図である。

【図11】 従来のデータ転送システムにおける各装置に対するアクセスタイミングを表わしたタイミング図である。

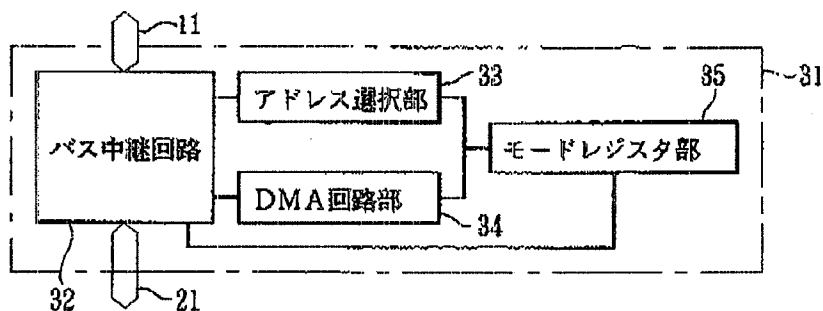
【符号の説明】

11…システムバス、11a…システムバスアドレス・データ線、11c…システムバス制御線、12…プロセッサ、14…主記憶装置、15…(システムバス側の)入出力装置、152…15n…(拡張バス側の)入出力装置、31…バス中継装置、32…バス中継回路、33…アドレス選択部、34…DMA回路部、35…モードレジスタ部、41…第1のアドレスバッファ、42…第1のデータバッファ、43…第2のアドレスバッファ、44…第2のデータバッファ、46…第1のストローブバッファ、47…アービタ、48…第2のストローブバッファ、51…アドレス切替回路、52…入出力装置MMU、53…バスサイクルシーケンサ、55…モードレジスタ、56…DMA回路、71…第1のマス、712…第2のマス、72…第1のストローブ、722…第2のストローブ

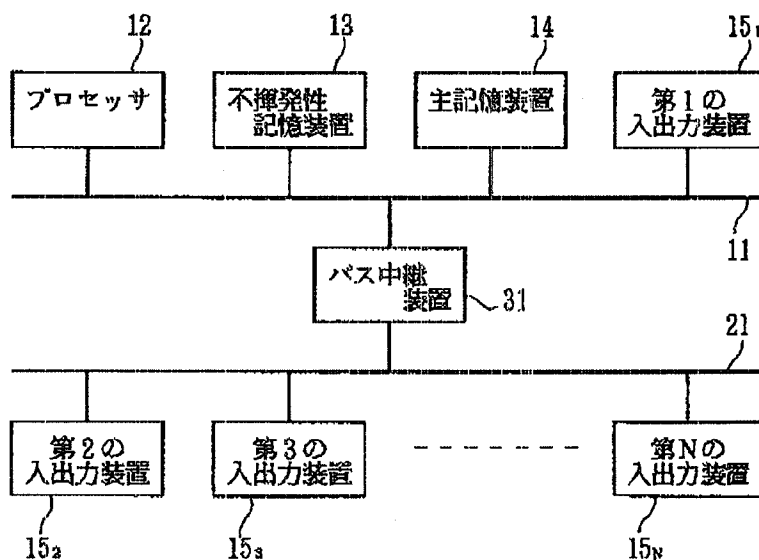
(8)

特開平6-96009

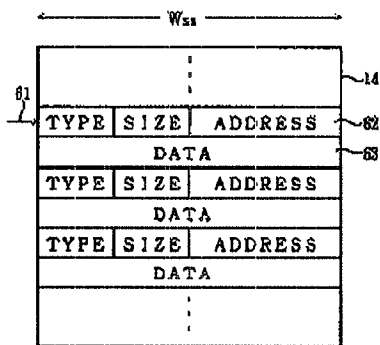
【図1】



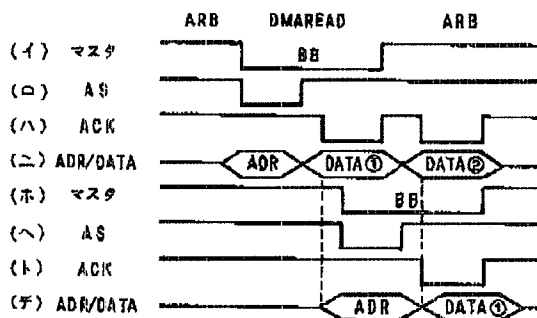
【図2】



【図4】



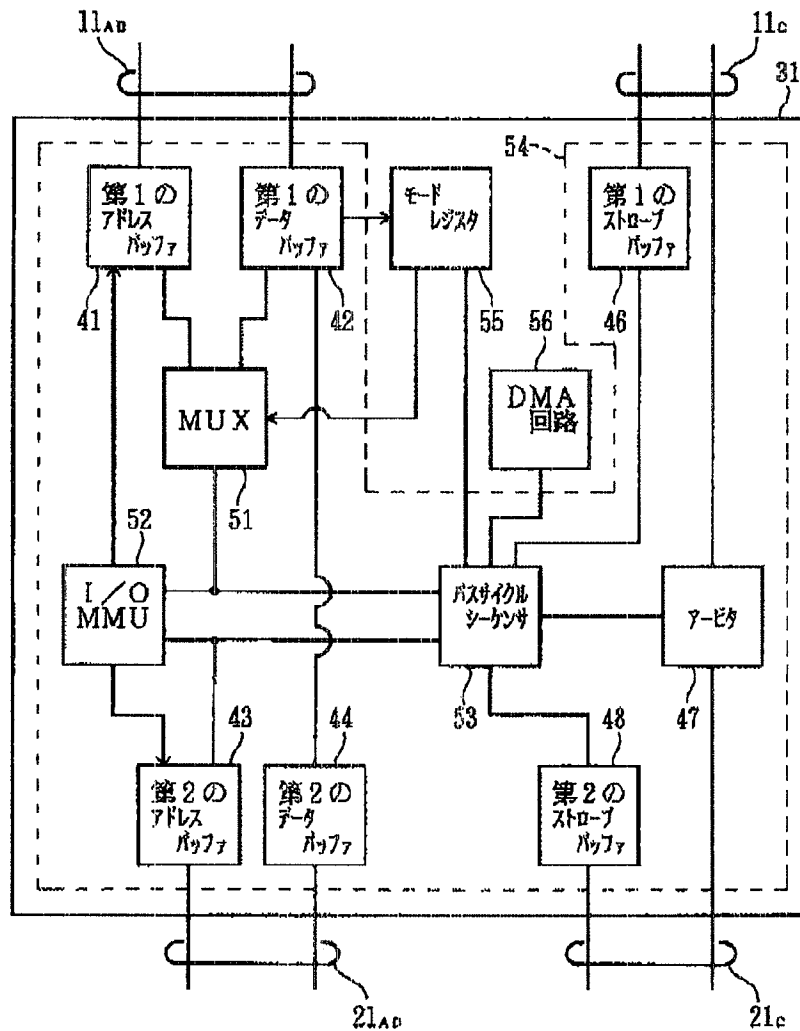
【図5】



(9)

特開平6-96009

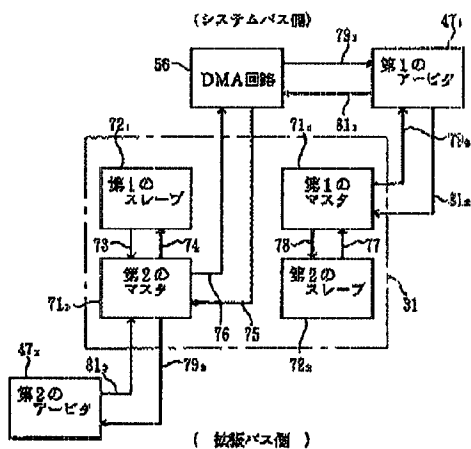
【図3】



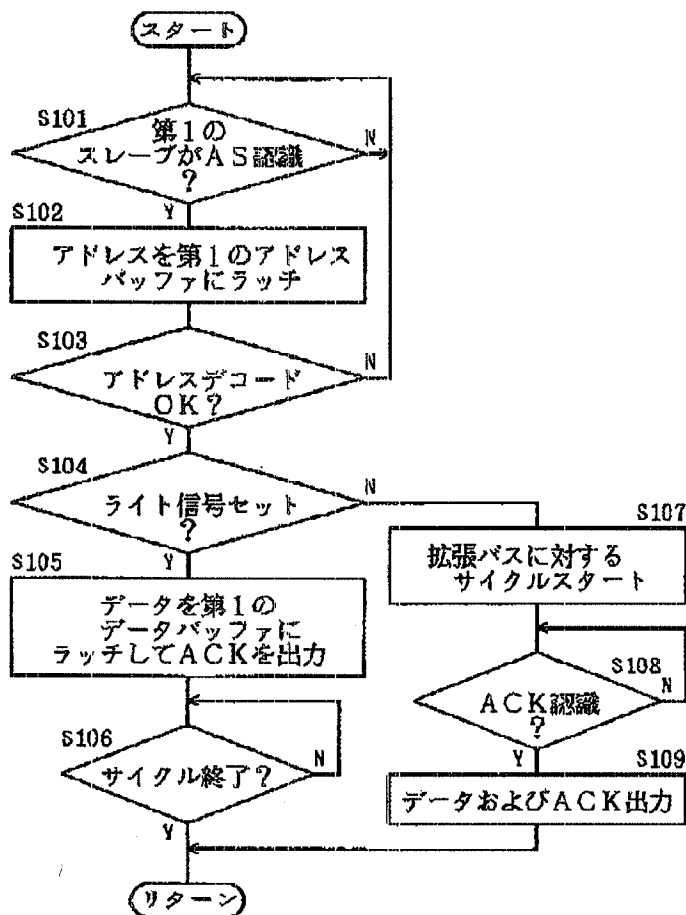
(10)

特開平6-96009

【図6】



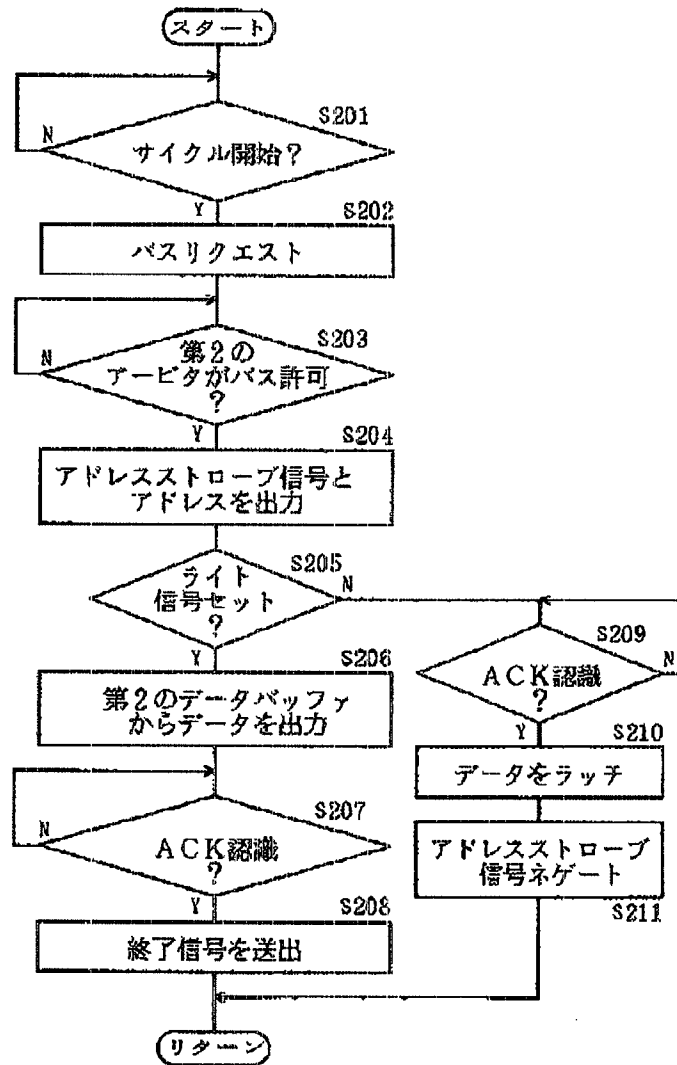
【図7】



(11)

特開平6-96009

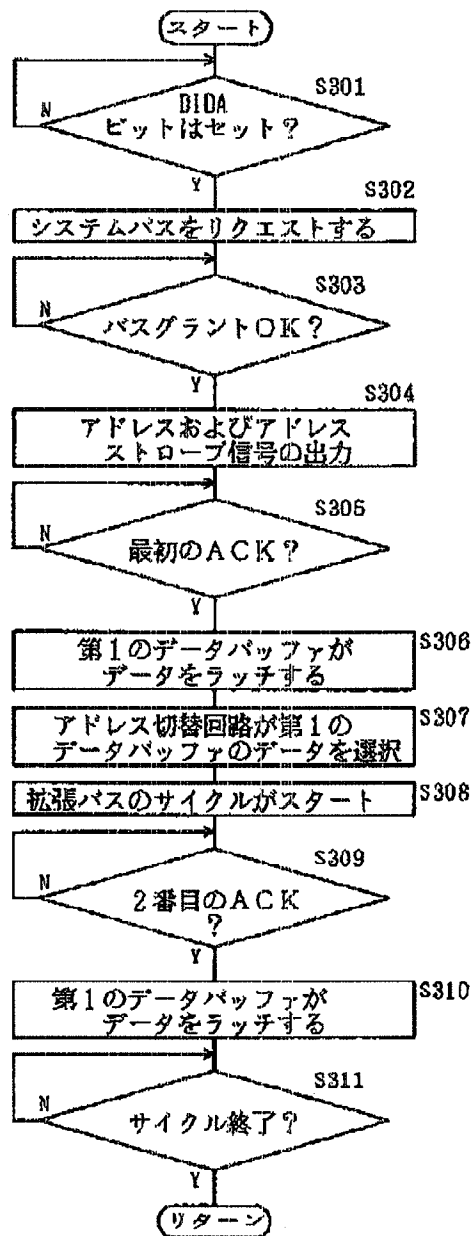
【図8】



(12)

特開平6-96009

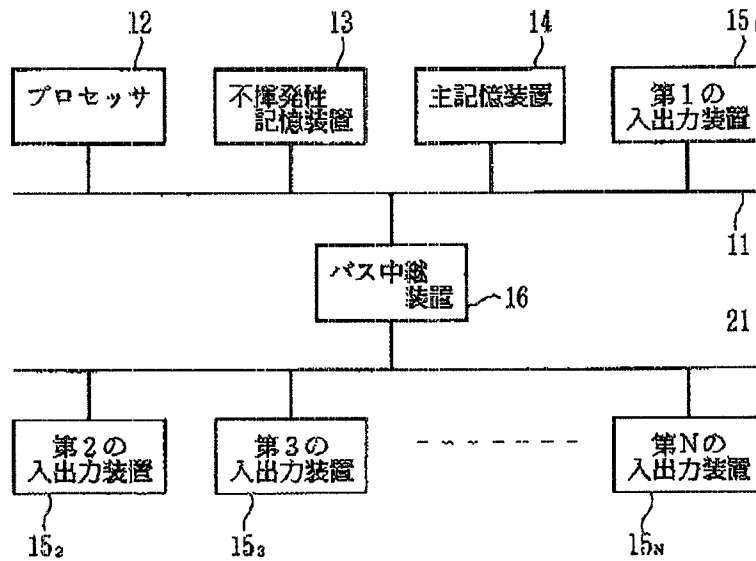
【図9】



(13)

特開平6-96009

【図10】



【図11】

